

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **08-191238**

(43)Date of publication of application : **23.07.1996**

(51)Int.Cl. H03K 17/04

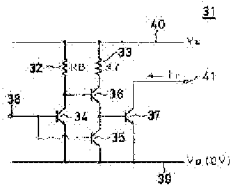
H01L 27/04

H01L 21/822

(21)Application number : **07-019772** (71)Applicant : **OMRON CORP**

(22)Date of filing : **11.01.1995** (72)Inventor : **OOKA TANEJI**
SASAKI KAZUO
WADA SHINICHI

(54) SEMICONDUCTOR OUTPUT CIRCUIT



(57)Abstract:

PURPOSE: To increase the switching speed of ON to OFF and OFF to ON operation of an output transistor (TR) and to reduce current consumption at the time of turning off an output.

CONSTITUTION: One end of a resistor 32 is connected to a reference line 40. The base of an input side TR 34 is connected to an input terminal 38, the collector and emitter of the TR 34 are respectively connected to the other end of the resistor 32 and a ground line 39 and one end of a resistor 33 is connected to the line 40. The base of a TR 35 is connected to the base of the TR 34 and its emitter is connected to the ground line 39. The base of a TR 36 is connected to a node between the other end of the resistor 32 and the collector of the TR 34 and the collector and emitter of the TR 36 are connected to the other end of the resistor 33 and the collector of the TR 35. The base of an output TR 37 is connected to a node between the collector of the TR 35 and the emitter of the TR 36 and its emitter and collector are respectively connected to the ground line 39 and an output terminal 41.

LEGAL STATUS

[Date of request for examination] 05.04.2000

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 3350669

[Date of registration] 20.09.2002

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st resistance to which the end was connected to the high potential line, and the 1st npn transistor to which it connected with based on the input terminal, and between collector emitters was connected between the other end of said 1st resistance, and a low voltage line, The 2nd resistance to which the end was connected to the high potential line, and the 2nd npn transistor by which the base was connected to the base of said 1st transistor, and the emitter was connected to the low voltage line, The base is connected at the node of the other end of said 1st resistance, and the collector of said 1st transistor. The 3rd npn transistor by which between collector emitters was connected between the other end of said 2nd resistance, and the collector of said 2nd transistor, the npn output transistor by which the base was connected at the node of the collector of the 2nd transistor, and the emitter of the 3rd transistor, the emitter was connected to the low voltage line, and the collector was connected to the output terminal -- since -- the constituted semi-conductor output circuit.

[Claim 2] The semi-conductor output circuit according to claim 1 characterized by driving said 3rd transistor in a saturation region at the time of ON of an output transistor while making said 1st transistor turn off, and driving said the 1st

transistor and 3rd transistor in a non-saturation region at the time of OFF of an output transistor.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semi-conductor output circuit which constitutes the output stage of a bipolar mold integrated circuit.

[0002]

[A background technique and its trouble] The semi-conductor output circuit of this invention turns on and turns off the load circuit of the exterior connected to the output circuit by the signal from main circuits, such as a digital disposal circuit, in the bipolar mold integrated circuit which integrated the output circuit with main circuits, such as a digital disposal circuit.

[0003] (The 1st conventional example) What is shown in drawing 1 is the concrete representative circuit schematic showing the 1st conventional example of the output circuit used for the bipolar mold integrated circuit. The resistance 12 (resistance is expressed with R1) for current adjustment to which the end was

connected to the datum line 11 of the ** reference potential V_s (> 0) if it was in this output circuit 1, ** The base is connected at the node of the collector of the npn input-side transistor 15, and the ** resistance 12 and the input-side transistor 15 by which connected based on the input terminal 13 and the collector and the emitter were connected to the grand line 14 of the other end of resistance 12, and ground potential V_g ($= 0$ volt), respectively. the npn output transistor 17 by which the emitter was connected to the grand line 14 and the collector was connected to the output terminal 16 -- since -- it is constituted.

[0004] If a deer is carried out and a low signal (for example, signal of an electrical potential difference V_g) is inputted into an input terminal 13 from a main circuit (not shown), since the input-side transistor 15 will be maintained at an OFF state and between the collector emitter will open, the electrical potential difference of a reference potential V_s is impressed to the base of the output transistor 17 through resistance 12, and the output transistor 17 is turned on. At this time, it is $I_B = (V_s - [V_{BE}]_{sat}) / R_1$ in the base of resistance 12 and the output transistor 17. -- The base current of (1) flows ($[V_{BE}]$ electrical potential difference [in / in sat / the saturation state of the output transistor 17] between base emitters).

Therefore, the load circuit (not shown) connected between the collector emitters of the output transistor 17 is turned on, and a current flows to a load circuit.

[0005] If the amplification factor of I_r and the output transistor 17 is set to h_{FE} ($> > 1$) for the magnitude of a required current here in a load circuit, it is necessary to pass bigger base current I_B than I_r/h_{FE} to the output transistor 17 at the time of ON, and since base current I_B will become small if resistance R_1 becomes large, there is an upper limit in resistance R_1 . That is, $I_B > (I_r/h_{FE})$ and the above-mentioned (1) formula to the resistance R_1 is $\{(V_s - [V_{BE}]_{sat}) h_{FE}/I_r\} > R_1$. -- It is necessary to fulfill the conditions of (2).

[0006] Moreover, if a high signal (for example, signal of reference potential V_s extent) is inputted into an input terminal 13 from a main circuit, a current will flow between base emitters and the input-side transistor 15 will be turned on. If the input-side transistor 15 is turned on, since the base electrical potential difference

of the output transistor 17 will fall to electrical-potential-difference (saturation voltage) $V_{sat}=[V_{CE}]_{sat}$ between the collector emitters in the saturation region of the input-side transistor 15, the output transistor 17 becomes off and a load circuit becomes off.

[0007] However, also when the output transistor 17 is off, it passes along between the collector emitters of the input-side transistor 15 by the output circuit 1 of such a configuration, and it is a current $(V_s - V_{sat}) / R_1$ to resistance 12. -- (3) flows. And consumed-electric-current $I_{OFF} = (V_s - V_{sat}) / R_1$ in the resistance 12 at the time of OFF of a load circuit (output transistor 17) since there is an upper limit in resistance R_1 by relation with a load circuit current as mentioned above and the value of resistance 12 cannot be enlarged at arbitration -- There was a problem that (4) could not be made small. In using for a device which is especially driven with the dc-battery for charge, if the consumed electric current at the time of OFF (power consumption) is large, the time of a portable equipment will become short and will serve as a fatal fault.

[0008] (The 2nd conventional example) What is shown in drawing 2 is the concrete representative circuit schematic showing the 2nd conventional example of the output circuit used for the bipolar mold integrated circuit. This output circuit 2 is replaced with the resistance 12 in the output circuit 1 of drawing 1, and a constant current source 18 is used for it. Since resistance 12 only replaced the constant current source 18 and operates like the output circuit 1 of drawing 1, this output circuit 2 omits explanation of operation.

[0009] However, at the time of OFF, a current I_0 flows [the output transistor 17] between the collector emitters of the input-side transistor 15 according to a constant current source 18 even in this output circuit 2. Since the current I_0 supplied by this constant current source 18 also needed the bigger value than I_r/hFE , there was a problem that the consumed electric current at the time of OFF of a load circuit (output transistor 17) was large, as well as the output circuit 1 of drawing 1.

[0010] (The 3rd conventional example) The conventional example of the output

circuit which solved the fault that the consumed electric current at the time of such output OFF was large is shown in drawing 3 . The resistance 19 (resistance is expressed with R_2) to which the end was connected to the datum line 11 of the ** reference potential V_s if it was in this output circuit 3, ** The resistance 20 (resistance is expressed with R_3) for current adjustment to which the end was similarly connected to the datum line 11, ** The resistance 21 (resistance is expressed with R_4) to which the end was connected to the grand line 14, ** The base is connected at a node with the collector of the npn input-side transistor 15, and the ** resistance 19 and the input-side transistor 15 by which connected based on the input terminal 13 and the collector and the emitter were connected to the other end and the grand line 14 of resistance 19, respectively. The base is connected at the npn transistor 22 of the middle where the emitter was connected with the collector between the resistance 20 by the side of the datum line 11, and the resistance 21 by the side of the grand line 14, and the node of the ** resistance 21 and the emitter of a transistor 22. the npn output transistor 17 by which the emitter was connected to the grand line 14 and the collector was connected to the output terminal 16 -- since -- it is constituted.

[0011] If a deer is carried out and a low signal is inputted into an input terminal 13 from a main circuit, since the input-side transistor 15 will be maintained at an OFF state, the electrical potential difference of a reference potential V_s is impressed to the base of the transistor 22 of the middle, a transistor 22 is turned on, and a current flows between the base emitters of resistance 21 and the output transistor 17 between resistance 20 and the collector emitter of a transistor 22. Therefore, the output transistor 17 is turned on and the load circuit connected between the collector emitters of the output transistor 17 is turned on.

[0012] Moreover, if a high signal is inputted into an input terminal 13, the input-side transistor 15 will be turned on. If the input-side transistor 15 is turned on, since the electrical potential difference between collector emitters of the input-side transistor 15 (base electrical potential difference of the = transistor 22) will fall to saturation voltage V_{sat} , a transistor 22 becomes off and becomes still

more nearly off [the output transistor 17].

[0013] Current $I_2 = (V_s - 2[V_{BE}]_{sat}) / R_2$ which flows to resistance 19 in the output circuit 3 of such a configuration at the time of ON of the output transistor 17 --

The contribution to the load circuit current I_r of (5) is current $I_3 = (V_s - V_{sat} - [V_{BE}]_{sat})$ which is set to I_2 and h_{FE2} and flows to resistance 20 / R_3 . The contribution to the load circuit current I_r of --(6) serves as I_3 and h_{FE} . Therefore, even if it makes it small to extent which can disregard contribution of a current I_2 which enlarges the resistance R_2 of resistance 19 and flows to resistance 19, by making the value R_3 of resistance 20 small enough, a current I_3 can be enlarged and the load circuit current I_r of required magnitude can be acquired. Total consumed-electric-current $I_{OFF} = (V_s - V_{sat})$ in the resistance 19 at the time of OFF of the output transistor 17 by on the other hand, enlarging the value R_2 of resistance 19, since a current does not flow for resistance 20 at the time of OFF of the output transistor 17 but a current flows only to resistance 19 through the input-side transistor 15, and resistance 20 / R_2 -- (7) can be made small.

[0014] However, if it is in such an output circuit 3, there is a problem that a switching working speed becomes slow. That is, since the transistor 22 of the middle is driven in the saturation region at the time of ON actuation, a carrier (especially electron) is accumulated in a base region (called the carrier storage effect). For this reason, the output transistor 22 did not become off until the carrier accumulated in the transistor 22 finished discharging nearly completely, even if the input-side transistor 15 switched from OFF to ON, but actuation of the output transistor 17 was delayed for the input-side transistor 15, and there was a problem that the switching working speed to the OFF from ON of the output transistor 17 became slow.

[0015] (The 4th conventional example) Another conventional example which reduced the consumed electric current at the time of output OFF is shown in drawing 4 again. This output circuit 4 uses current Miller circuit 23 which consists of two pnp transistors 24 and 25. ** Connect the base comrade of two pnp transistors 24 and 25, and connect each emitter to the datum line 11 of a

reference potential V_s . It connects based on current Miller circuit 23 and the ** input terminal 13 which linked one base and collector of a transistor 24 directly. Between the collector of the npn input-side transistor 15 and one transistor 24 of ** current Miller circuit 23 by which the emitter was connected to the grand line 14, and the collector of the input-side transistor 15 The base is connected at the node of the connected resistance 26, the resistance 27 connected with the collector of the transistor 25 of another side which constitutes ** current Miller circuit 23 between the grand lines 14, and the collector of the ** transistor 25 and resistance 27. the npn output transistor 17 by which the emitter was connected to the grand line 14 and the collector was connected to the output terminal 16 -- since -- it is constituted.

[0016] If it is in this output circuit 4, and a high signal is inputted into an input terminal 13 and the input-side transistor 15 is turned ON, since both the transistors 24 and 25 of current Miller circuit 23 are turned on, a current will flow to both resistance 26 and 27 and the base electrical potential difference of the output transistor 17 will serve as $(V_s - V_{sat})$, the output transistor 17 is turned on.

[0017] If a low signal is inputted into an input terminal 13 and the input-side transistor 15 is turned OFF, since both the transistors 24 and 25 of current Miller circuit 23 will also become off on the other hand, the output transistor 17 also becomes off. Since a current does not flow for both resistance 26 and 27 at this time, the consumed electric current I_{OFF} at the time of output OFF can be made very small.

[0018] However, even if the pnp transistor (transistors 24 and 25 in current Miller circuit 23) produced in a bipolar mold integrated circuit had the slow working speed as compared with that structure (lateral structure) upper npn transistor and was in the output circuit 4 for this reason, it had the problem that ON of the output transistor 17 and an off working speed were slow.

[0019]

[Problem(s) to be Solved by the Invention] If it was in the conventional semiconductor output circuit as explained above, it had the problem that the

consumed electric current at the time of output OFF is large, the problem that a working speed is slow, and one of problems.

[0020] The switch rate of ON -> OFF of an output transistor and OFF -> ON actuation is a high speed, and, moreover, the place which this invention is made in view of the fault of the above-stated conventional example, and is made into the purpose has the consumed electric current at the time of output OFF (power consumption) in offering the semi-conductor output circuit in a small bipolar mold integrated circuit.

[0021]

[Means for Solving the Problem] The 1st resistance to which, as for the semi-conductor output circuit of this invention, the end was connected to the high potential line, The 1st npn transistor to which it connected with based on the input terminal, and between collector emitters was connected between the other end of said 1st resistance, and a low voltage line, The 2nd resistance to which the end was connected to the high potential line, and the 2nd npn transistor by which the base was connected to the base of said 1st transistor, and the emitter was connected to the low voltage line, The base is connected at the node of the other end of said 1st resistance, and the collector of said 1st transistor. The 3rd npn transistor by which between collector emitters was connected between the other end of said 2nd resistance, and the collector of said 2nd transistor, the npn output transistor by which the base was connected at the node of the collector of the 2nd transistor, and the emitter of the 3rd transistor, the emitter was connected to the low voltage line, and the collector was connected to the output terminal -- since -- it is constituted.

[0022] Moreover, in this semi-conductor output circuit, it is desirable to drive said 3rd transistor in a saturation region at the time of ON of an output transistor, while making said 1st transistor turn off, and to drive said the 1st transistor and 3rd transistor in a non-saturation region at the time of OFF of an output transistor.

[0023]

[Function] A load circuit will be closed, if it is in the semi-conductor output circuit

of this invention, and the 3rd transistor and output transistor are turned on and the load circuit is connected to the output transistor, since the 1st transistor and 2nd transistor become off when a low signal is inputted into an input terminal.

[0024] Moreover, when a high signal is inputted into an input terminal, the 1st transistor and 2nd transistor are turned on. It can set up so that the 1st transistor may serve as ON by the non-saturation state at this time and the 2nd transistor may serve as ON by the saturation state, and it can set up so that the 3rd transistor may also be maintained at an ON state by the non-saturation state by that cause. Since the base electrical potential difference of an output transistor turns into saturation voltage of the 2nd transistor at this time, it becomes off. Therefore, a load circuit will be opened if the load circuit is connected to the output transistor.

[0025] Here, the current which flows to a load circuit at the time of ON of an output transistor is decided by the contribution from the current (x_{hFE2}) which flows to the 1st resistance, and contribution from a current (x_{hFE}) which flows to the 2nd resistance. Therefore, even if it makes small contribution from a current which enlarges the value of the 1st resistance and flows to the 1st resistance, the current of level required for a load circuit can be passed by enlarging contribution from a current which makes the value of the 2nd resistance small and flows to the 2nd resistance enough. In this way, although both currents will flow to the 1st resistance and resistance of the 2nd at the time of OFF of an output transistor if what has small resistance is used for extent required as the 2nd resistance, using what has fully big resistance as the 1st resistance, the consumed electric current as the whole can be made small. That is, since the value of the 1st resistance can be enlarged, the consumed electric current by the 1st resistance becomes very small. Moreover, if the 1st and 3rd transistors are driven by the non-saturation state, the current which flows to the 2nd resistance will become smaller than the current which flows to the 1st resistance. Consequently, the consumed electric current at the time of output OFF can be made small as compared with the 1st conventional example or the 2nd conventional example.

[0026] Moreover, according to this invention, since the 2nd transistor is connected to the base of an output transistor, by making the 2nd transistor turn on at the time of output OFF, an output transistor can be made to be able to turn off promptly and the ON -> OFF switch rate of an output transistor can be made quick. That is, it can prevent that the ON -> OFF switch rate of an output transistor becomes slow according to the carrier storage effect of the 3rd transistor.

[0027] Furthermore, while the OFF rate of the 1st transistor will become quick in case an output switches from OFF to ON if the 1st transistor turns on by the non-saturation state at the time of OFF of an output transistor and the 3rd transistor is maintained at an ON state by the saturation state and the non-saturation state, respectively at the time of output ON and OFF, OFF actuation of the 1st transistor and the 2nd transistor is performed by coincidence in parallel. Consequently, an output transistor can be made to be able to turn on promptly and the OFF -> ON switch rate of an output transistor can also be made quick.

[0028] Moreover, since the semi-conductor output circuit of this invention consists of only npn transistors, even when manufacturing in a bipolar mold integrated circuit, a working speed cannot fall and it can accelerate a switching rate.

[0029]

[Example] One example of this invention is shown in drawing 5 . The semi-conductor output circuit 31 concerning this invention is an output circuit of the bipolar mold integrated circuit which uses a semi-conductor manufacture process and is manufactured in semi-conductor substrates, such as a silicon wafer, and drawing 5 shows the concrete equal circuit of the semi-conductor output circuit 31 concerned.

[0030] (Configuration) This semi-conductor output circuit 31 consists of two resistance 32 and 33 (resistance is set to R6 and R7, respectively), and npn transistors 34, 35, 36, and 37 of four bipolar molds. The base is connected to an input terminal 38, an emitter is connected to the grand line 39 of low voltage

(ground potential V_g), and, as for the input-side transistor 34, the collector is connected to resistance 32. As for the resistance 32 to which the end was connected to the collector of the input-side transistor 34, the other end is connected to the datum line 40 of high potential (reference potential V_s). The base of a transistor 35 is connected to the base (or input terminal 38) of the input-side transistor 34, and the base of a transistor 36 is connected at the node of the collector of the input-side transistor 34, and resistance 32. As for both the transistors 35 and 36, the collector of a transistor 35 and the emitter of a transistor 36 are connected, the emitter of a transistor 35 is connected to the grand line 39, and the collector of a transistor 36 is connected to resistance 33. Moreover, the other end of the resistance 33 connected to the collector of a transistor 36 is connected to the datum line 40. The base is connected at the node of the collector of a transistor 35, and the emitter of a transistor 36, an emitter is connected to the grand line 39, and, as for the output transistor 37, the collector (open collector) is connected to the output terminal 41. In addition, the input terminal 38 is connected with main circuits, such as a digital disposal circuit, within the integrated circuit, and an external load circuit is connected to an output terminal 41.

[0031] Yes of the signal inputted into an input terminal 38, here, the transistor 35 is designed so that ON (saturation region) and off switching operation may be carried out by the low. Yes of the signal inputted into an input terminal 38, on the other hand, the input-side transistor 34 is designed so that ON (non-saturation region) and off actuation may be carried out by the low. Yes of the signal inputted into an input terminal 38, moreover, the transistor 36 is designed by the low so that ON actuation may be carried out in a non-saturation region and a saturation region, respectively. Yes of the signal inputted into an input terminal 38, the output transistor 37 is designed so that switching operation of OFF and ON (saturation region) may be carried out by the low.

[0032] It is as follows when the condition at the time of output OFF is explained in detail. Drawing 6 is a curve which shows the relation of electrical-potential-

difference VCE-collector current I_C between collector emitters when base current I_B is fixed. Since the base is connected to the input terminal 38 by each, the input-side transistor 34 and a transistor 35 have an equal base electrical potential difference, therefore it operates on the VCE- I_C curve of the same base current ($I_B = \text{const.}$) as shown in drawing 6. A transistor 35 carries out ON actuation in a saturation region (for example, Q2 point) at the time of an input high (output OFF). Electrical potential difference between collector emitters $V_{CE} = V_{\text{sat}}$ Collector current $I_C = I_{C2}$ -- It is designed so that it may be set to (8). The input-side transistor 34 carries out ON actuation in a non-saturation region (for example, Q1 point) at the time of an input high (output OFF). Electrical potential difference between collector emitters $V_{CE} = V_{\text{sat}} + [V_{BE}]_{\text{nonsat}}$ Collector current $I_C = I_{C1}$ -- It is designed so that it may be set to (9). Here, $V_{\text{sat}} = [V_{CE}]_{\text{sat}}$ (s) are the saturation voltage at the time of ON of a transistor 35, and an electrical potential difference [in / in $[V_{BE}]_{\text{nonsat}}$ / the non-saturation region of a transistor 36] between base emitters. Moreover, about collector current, it is $I_{C1} > I_{C2}$. -- It is (10). Consequently, at the time of an input high (output OFF), the electrical potential difference of $[V_{CE}]_{\text{nonsat}}$ is built between the base emitters of a transistor 36, and a transistor 36 is maintained at an ON state in being unsaturated, without becoming off also at the time of output OFF.

[0033] (Actuation at the time of output ON) If it is in this output circuit 31 and a low signal is inputted into an input terminal 38, both the input-side transistor 34 and the transistor 35 will become off, and a reference potential V_s will join the base of a transistor 36 through resistance 32. Consequently, base current flows from between the base emitters of a transistor 36 to between the base emitters of the output transistor 37, and a transistor 36 and the output transistor 37 are turned on. Furthermore, if a transistor 36 is turned on, big base current flows to the output transistor 37 through resistance 33, the load circuit connected to the output terminal 41 will close, and the big load circuit current I_r will flow.

[0034] At this time, since the transistor 36 is carrying out ON actuation in the saturation region, the current I_7 which flows to resistance 33 is set to $I_7 = (V_s -$

$V_{sat} - [V_{BE}]_{sat} / R_7$. It is the electrical potential difference between base emitters of the output transistor 37 in which V_{sat} carries out and the saturation voltage of a transistor 36 and $[V_{BE}]_{sat}$ are carrying out ON actuation here in the saturation region. Since a current required for a load circuit is set to I_r and the current more than I_r/h_{FE} is needed considering the amplification factor of the output transistor 37 as base current I_B of h_{FE} , then the output transistor 37, as resistance 33, it is from $I_7 > (I_r/h_{FE}) \cdot \{(V_s - V_{sat} - [V_{BE}]_{sat}) h_{FE}/I_r\} > R_7$. What is necessary is just to use the thing of the small resistance R_7 so that it may become --(11). On the other hand, the resistance R_6 of resistance 32 should just be set up so that a transistor 36 can pass base current I_B to the output transistor 37 at the time of output ON. Since the current I_6 which flows to resistance 32 should just be $I_6 > (I_r/h_{FE2})$ supposing each amplification factor of a transistor 36 and the output transistor 37 is h_{FE} , this condition serves as $I_6 = \{(V_s - 2[V_{BE}]_{sat}) / R_6\} > I_r/h_{FE2}$, and resistance R_6 is conditions. $\{(V_s - 2[V_{BE}]_{sat}) h_{FE2}/I_r\} > R_6$ -- What is necessary is just to fill (12). $[V_{BE}]_{sat}$ is an electrical potential difference between base emitters at the time of saturation actuation of a transistor 36 and the output transistor 37 here. Therefore, if (11) and (12) types are compared, as compared with the value R_1 of the resistance 12 of the conventional output circuit 1 of the value R_7 of resistance 33, or drawing 1, one about h_{FE} time (for example, $h_{FE} \cdot 100$) the value of this can be used for the value R_6 of resistance 32.

[0035] (Actuation at the time of output OFF) If a high signal is impressed to an input terminal 38, the input-side transistor 34 and a transistor 35 will be turned on again. Here, since the input-side transistor 34 carries out ON actuation in a non-saturation region (Q1 point of drawing 6) as (9) types showed, and a transistor 35 carries out ON actuation in a saturation region (Q2 point of drawing 6) as (8) types showed, the base of a transistor 36 will also be joined by the electrical potential difference of $[V_{BE}]_{nonsat}$, and a transistor 36 is maintained at an ON state in a non-saturation region, without carrying out OFF actuation. On the other hand, since the base electrical potential difference of the output transistor 37 falls

to V_{sat} when a transistor 35 turns on, even if the transistor 36 is carrying out ON actuation, the output transistor 37 becomes off and the load circuit connected to the output transistor 37 is opened.

[0036] In the condition of this output OFF, although the current is flowing to all of resistance 32 and 33 since the input-side transistor 34 and transistors 35 and 36 are turned on, the total consumed electric current of both resistance 32 and 33 serves as about $2/hFE$ extent as compared with the consumed electric current of the output circuit 1 of the conventional example, or an output circuit 2. That is, the resistance R_6 of resistance 32 is that which is conventionally made to hFE extent as compared with a circuit (refer to (12) types), and the consumed electric current in resistance 32 serves as $1/hFE$ extent. Moreover, if it estimates that the consumed electric current which flows to resistance 33 from the current $I_C 2$ which flows to a transistor 35 being smaller than the current $I_C 1$ which flows to the input-side transistor 34 (referring to (10) types) is comparable as the consumed electric current which flows to resistance 32, the consumed electric current at the time of the output OFF by resistance 32 and 33 will serve as about $2/hFE$ extent of a circuit conventionally at most, and will turn into the about $1/50$ consumed electric current of a circuit $hFE=100$, then conventionally.

[0037] (Comparison of the consumed electric current in the output circuit of this invention, and the conventional output circuit) The consumed electric current in a conventional output circuit 1 (drawing 1) and a conventional output circuit 2 (drawing 2) is compared with the consumed electric current of the output circuit 31 of this invention. The value of a required current is set to $I_r=100mA$ in a load circuit, and it supposes that it is each amplification factor of each transistor $hFE=100$, and is referred to as reference potential $V_s=5V$. Moreover, suppose that it is saturation voltage $V_{sat}=0.1V$ of each transistor, and $[V_{BE}]_{sat}=0.7V$ in a saturation state. First, the conventional output circuit 1 of drawing 1 is considered. In order to pass an $I_r=100mA$ current to the output transistor 17 at the time of ON, the base current of the output transistor 17 is $I_B=I_r/hFE=100 / 100= 1 [mA]$. It is needed. At this time, since it is $0.7V$, in order to pass $1mA$ base current I_B ,

resistance base electrical-potential-difference $[V_{BE}]_{sat}$ of the output transistor

$$R1 = (V_s - [V_{BE}]_{sat}) / I_B = (5 - 0.7) / 1 = 4.3 \text{ [kohms]}$$

It is needed. If the input-side transistor 15 turns on at this time and it is turned off [output], since it becomes saturation voltage V_{sat} , the collector voltage of the input-side transistor 15 is the consumed electric current. $I_{OFF} = (V_s - V_{sat}) / R1 = (5 - 0.1) / 4.3 = 1.14 \text{ [mA]}$

It becomes. In order considering the conventional output circuit 2 of drawing 2 to pass 1mA base current to the output transistor 17 next, it is necessary to use the 1mA constant current source 18. Therefore, the consumed electric current is also set to 1mA. Below, the output circuit 31 of this invention is considered. If (11) types are referred to in order to pass an $I_r = 100\text{mA}$ current to the output transistor 37 at the time of ON $R7 = (V_s - V_{sat} - [V_{BE}]_{sat}) h_{FE} / I_r = (5 - 0.1 - 0.7) \times 100 / 100 = 4.2 \text{ [kohms]}$

It becomes. If (12) types are referred to next $R6 = (V_s - 2[V_{BE}]_{sat}) h_{FE2} / I_r = (5 - 2 \times 0.7) \times 100 / 100 = 360 \text{ [kohms]}$

It becomes. The consumed electric current I_6 in resistance 32 between the base emitters of a transistor 36 if [at the time of output OFF] electrical-potential-difference $[V_{BE}]_{nonsat} = 0.7\text{V}$ $I_6 = (V_s - V_{sat} - [V_{BE}]_{nonsat}) / R6 = (5 - 0.1 - 0.7) / 360 = 0.012 \text{ [mA]}$

It becomes. Moreover, current $I_{C1} \times I_6$ which flow to the output transistor 34, and current $I_{C2} \times I_7$ which flow to a transistor 35 are, when $I_{C2} = (1/10) I_{C1}$, since the transistor 35 is saturated. $I_7 = (1/10) I_6 = 0.1 \times 0.012 = 0.001 \text{ [mA]}$

It becomes. Therefore, the consumed electric current as the whole is $I_6 + I_7 = 0.013 \text{ [mA]}$.

It becomes. Therefore, according to the output circuit 31 of this invention, it turns out that the consumed electric current becomes very small conventionally as compared with a circuit.

[0038] Below, the switch working speed at the time of the output ON -> OFF in an output circuit 31 is considered. When the transistor 36 turns [the input signal of an input terminal 38] on in the low, the transistor 36 is saturated and the carrier

is accumulated in the transistor 36 at the time of ON as well as the transistor 22 of the conventional output circuit 3. However, if the input signal of an input terminal 38 switches to a high, since a transistor 35 will be saturated promptly, will be turned on and will lower the base electrical potential difference of the output transistor 37 to V_{sat} , the output transistor 37 is promptly switched off not related to whether the carrier is accumulated in the transistor 36. Therefore, as compared with the conventional output circuit 3 (drawing 3), the switch rate at the time of output ON -> OFF can be made quick.

[0039] Moreover, the switch working speed at the time of the output OFF -> ON in an output circuit 31 is explained. since the input-side transistor 15 is completely saturated with the conventional output circuit 3 (drawing 3) and serves as ON in it at the time of output OFF -- an input signal -- yes -- since -- if it switches to a low, the input-side transistor 15 switches from a saturation state to OFF, and after that, a transistor 22 will be saturated in ON from OFF, and will be turned on. For this reason, by the time the input-side transistor 15 turns off from a saturation state, time amount will be taken, before a transistor 22 is further turned on for sequential operation of the input-side transistor 15 and a transistor 22, time amount will be taken, and the rate from which the output transistor 17 switches to ON as a result becomes slow. On the other hand, in the output circuit 31 by this invention, since the transistor 34 is turned on by the non-saturation state at the time of output OFF, when the input signal of an input terminal 38 switches from a high to a low, the time amount from which the input-side transistor 34 switches off becomes short. Moreover, since, as for the transistor 36, it is maintained at the ON state also at the time of the time of output ON, and output OFF, actuation from which it will switch to the actuation from which the input-side transistor 34 switches off off [a transistor 35] from a saturation state if an input signal switches from a high to a low is performed by coincidence in parallel. Consequently, according to the output circuit 31 of this invention, the rate which switches to output OFF -> ON can also be conventionally shortened as compared with a circuit.

[0040] Moreover, since transistors 34, 35, 36, and 37 use the npn transistor altogether, it becomes a cause to use the pnp transistor like the conventional output circuit 4 (drawing 4), it switches, and a rate does not become slow.

[0041] (Application) While the output circuit of this invention outputs ON and an OFF signal from an output circuit, when a hysteresis must be imposed on the circuit of the preceding paragraph of an output circuit, moreover, it is suitable for using it in a situation as which a speed of response is required of an output circuit side by having to impose the hysteresis first rather than it outputs from an output circuit.

[0042] Speaking concretely, being able to obtain a good result by using for the A/D-conversion circuit which carries out hysteresis actuation as shown in drawing 7 . In the A/D-conversion circuit of drawing 7 , the analog input signal S1 is inputted into the non-inversed input terminal of a comparator 51, and reference voltage V0 is given to the inversed input terminal from the reference voltage generating circuit 52. the size of the input signal S1 from the output terminal of a comparator 51, and reference voltage V0 -- responding -- yes -- (H) or a low -- the comparison signal S2 of (L) is outputted. The comparison output of a comparator 51 has returned to the reference voltage generating circuit 52 through the hysteresis circuit 53 connected to the output terminal. Yes of the comparison signal S2 with which the reference voltage V0 which carries out a deer and is outputted from the reference voltage generating circuit 52 is outputted by work of the hysteresis circuit 53 from a comparator 51, according to a low, it changes to $V0+$ or $V0-$ ($V0+ \neq V0-$), and a hysteresis is imposed on the output of a comparator 51. Moreover, according to yes or the low of the comparison signal S2, as for the output circuit 54 connected to the output terminal of a comparator 51, an output side switches to OFF or ON.

[0043] It is necessary to make it in the case of such circuitry, the rate which appears as an output signal S3 (drawing 8 (c)) of an output circuit 54 become late rather than the rate to which the comparison signal S2 (drawing 8 (a)) outputted from the comparator 51 returns through the hysteresis circuit 53 and

the reference voltage generating circuit 52, and reference voltage V_0 (drawing 8 (b)) is changed, as shown in drawing 8 . For this reason, although delay was given between the input side of an output circuit 54, and the output side, in the conventional output circuit 54, there was a problem that this time delay ΔT became quite large, and the speed of response in which an input signal S_1 appears as an output signal S_3 of an output circuit 54 became slow. On the other hand, when the delay in an output circuit 54 is lost, the direction is outputted from an output circuit 54 becomes quick rather than an output signal S_2 returns, and there is un-arranging [that desired circuit actuation is no longer obtained].

[0044] On the other hand, if the semi-conductor output circuit 31 by this invention is used as this output circuit 54, since the speed of response at the time of ON and OFF can be made quick, it becomes possible by adjusting time delay ΔT in an output circuit 44 to suitable time amount to shorten the time delay in an output circuit 44 as much as possible in the range later than a hysteresis side. In addition, in the time of OFF of an output circuit 44 (output transistor), time delay ΔT which carried out in this way and was adjusted becomes later than the output circuit 1 of drawing 1 , and by the time of ON of an output circuit 44 (output transistor), it is set up so that it may become quicker than the output circuit 1 of drawing 1 .

[0045]

[Effect of the Invention] According to this invention, as explained above, the problem that there is also no problem that the consumed electric current becomes large like the 1st conventional example or the 2nd conventional example at the time of output OFF, and ON of an output and the switch rate at the time of off switch actuation become slow like the 3rd conventional example or the 4th conventional example is also solved. That is, according to this invention, the switch rate of ON -> OFF actuation of an output transistor and OFF -> ON actuation is a high speed, and, moreover, the consumed electric current at the time of output OFF (power consumption) can offer the semi-conductor output circuit in a small bipolar mold integrated circuit.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the concrete representative circuit schematic showing the 1st conventional example of a semi-conductor output circuit.

[Drawing 2] It is the concrete representative circuit schematic showing the 2nd conventional example of a semi-conductor output circuit.

[Drawing 3] It is the concrete representative circuit schematic showing the 3rd conventional example of a semi-conductor output circuit.

[Drawing 4] It is the concrete representative circuit schematic showing the 4th conventional example of a semi-conductor output circuit.

[Drawing 5] It is the concrete representative circuit schematic showing the semi-conductor output circuit by one example of this invention.

[Drawing 6] It is drawing for explaining actuation of a semi-conductor output circuit same as the above.

[Drawing 7] It is drawing showing the application circuit of the semi-conductor output circuit by this invention.

[Drawing 8] It is the explanatory view of the above-mentioned application circuit.

[Description of Notations]

32 1st Resistance
33 2nd Resistance
34 Input-Side Transistor (1st Transistor)
35 2nd Transistor
36 3rd Transistor
37 Output Transistor
38 Input Terminal
39 Grand Line (Low Voltage Line)
40 Datum Line (High Potential Line)
41 Output Terminal

[Translation done.]

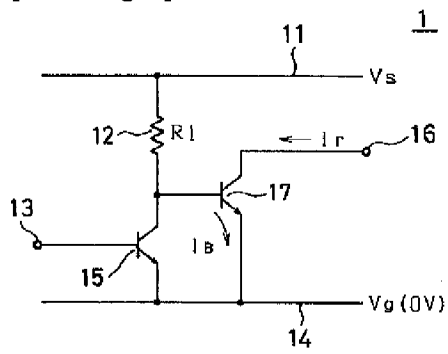
* NOTICES *

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

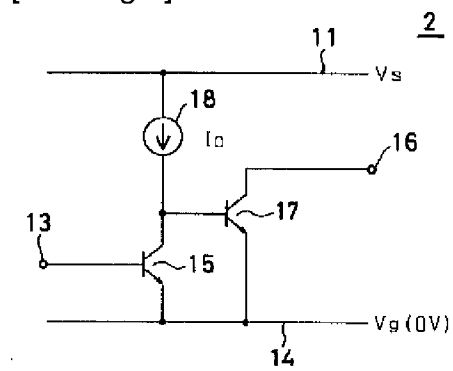
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

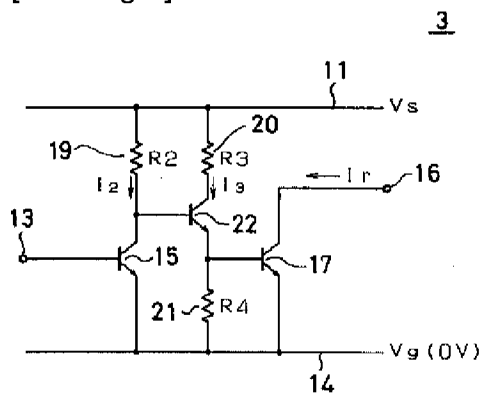
[Drawing 1]



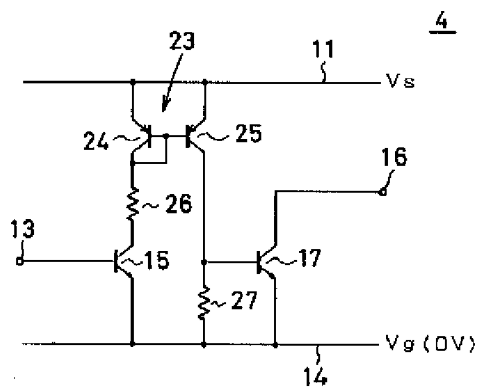
[Drawing 2]



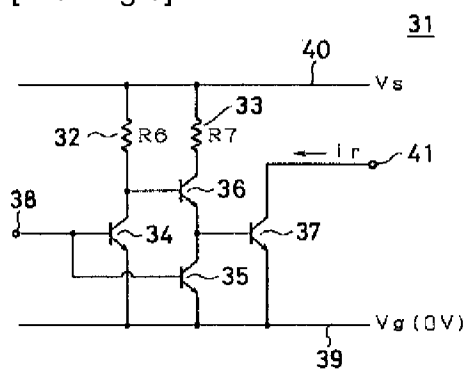
[Drawing 3]



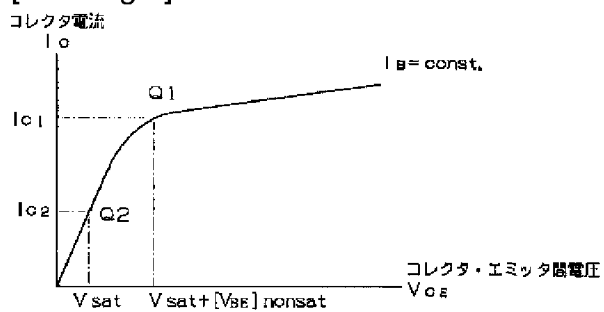
[Drawing 4]



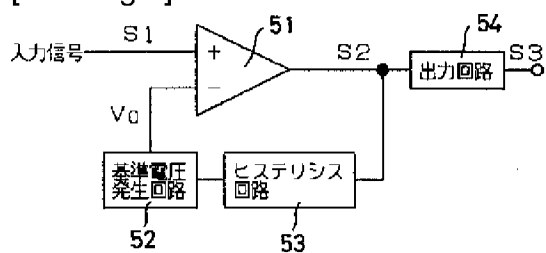
[Drawing 5]



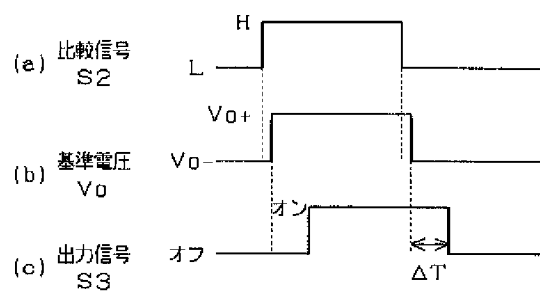
[Drawing 6]



[Drawing 7]



[Drawing 8]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-191238

(43)公開日 平成8年(1996)7月23日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 K 17/04

B 9184-5K

H 0 1 L 27/04

21/822

H 0 1 L 27/ 04

B

審査請求 未請求 請求項の数2 F D (全 9 頁)

(21)出願番号 特願平7-19772

(22)出願日 平成7年(1995)1月11日

(71)出願人 000002945

オムロン株式会社

京都府京都市右京区花園土堂町10番地

(72)発明者 大岡 種治

京都府京都市右京区花園土堂町10番地 オ

ムロン株式会社内

(72)発明者 佐々木 一夫

京都府京都市右京区花園土堂町10番地 オ

ムロン株式会社内

(72)発明者 和田 伸一

京都府京都市右京区花園土堂町10番地 オ

ムロン株式会社内

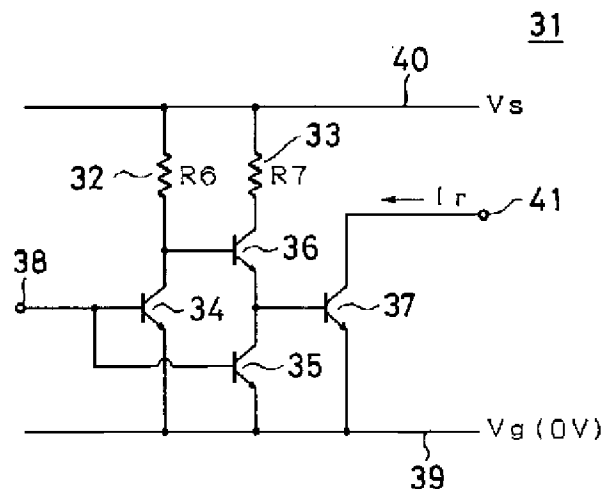
(74)代理人 弁理士 中野 雅房

(54)【発明の名称】 半導体出力回路

(57)【要約】

【構成】 基準線40に抵抗32の一端を接続する。入力側トランジスタ34のベースを入力端子38に、コレクタ・エミッタ間を抵抗32の他端とグランド線39の間に接続する。抵抗33の一端を基準線40に接続する。トランジスタ35のベースを入力側トランジスタ34のベースに、エミッタをグランド線39に接続する。トランジスタ36のベースを抵抗32の他端と入力側トランジスタ34のコレクタとの接続点に、コレクタ・エミッタ間を抵抗33の他端とトランジスタ35のコレクタとの間に接続する。出力トランジスタ37のベースをトランジスタ35のコレクタとトランジスタ36のエミッタとの接続点に、エミッタをグランド線39に、コレクタを出力端子41に接続する。

【効果】 出力トランジスタのオン→オフ及びオフ→オン動作の切り換え速度が高速になる。しかも出力オフ時における消費電流を小さくできる。



【特許請求の範囲】

【請求項1】 高電位線に一端を接続された第1の抵抗と、

入力端子をベースに接続され、前記第1の抵抗の他端と低電位線との間にコレクタ・エミッタ間を接続された第1のnpnトランジスタと、

高電位線に一端を接続された第2の抵抗と、

ベースを前記第1のトランジスタのベースに接続され、エミッタを低電位線に接続された第2のnpnトランジスタと、

前記第1の抵抗の他端と前記第1のトランジスタのコレクタとの接続点にベースを接続され、前記第2の抵抗の他端と前記第2のトランジスタのコレクタとの間にコレクタ・エミッタ間を接続された第3のnpnトランジスタと、

第2のトランジスタのコレクタと第3のトランジスタのエミッタとの接続点にベースを接続され、エミッタを低電位線に接続され、コレクタを出力端子に接続されたnpn出力トランジスタと、から構成された半導体出力回路。

【請求項2】 出力トランジスタのオン時には、前記第1のトランジスタをオフさせると共に前記第3のトランジスタを飽和領域で駆動し、

出力トランジスタのオフ時には、前記第1のトランジスタ及び第3のトランジスタを非飽和領域で駆動することを特徴とする請求項1に記載の半導体出力回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はバイポーラ型集積回路の出力段を構成する半導体出力回路に関する。

【0002】

【背景技術とその問題点】本発明の半導体出力回路は信号処理回路等の主回路とともに出力回路を集積化したバイポーラ型集積回路において、信号処理回路等の主回路からの信号により出力回路に接続された外部の負荷回路をオン、オフするものである。

【0003】（第1の従来例）図1に示すものはバイポーラ型集積回路に用いられている出力回路の第1の従来例を示す具体的な等価回路図である。この出力回路1にあっては、①基準電位 V_s (>0)の基準線11に一端を接続された電流調整用の抵抗12（抵抗値を R_1 で表わす）、②入力端子13をベースに接続され、抵抗12の他端とグランド電位 V_g ($=0$ ボルト)のグランド線14にそれぞれコレクタとエミッタを接続されたnpn入力側トランジスタ15、③抵抗12と入力側トランジスタ15のコレクタの接続点にベースを接続され、エミッタをグランド線14に接続され、コレクタを出力端子16に接続されたnpn出力トランジスタ17、から構成されている。

【0004】しかして、主回路（図示せず）から入力端

子13にローの信号（例えば電圧 V_g の信号）が入力されると、入力側トランジスタ15がオフ状態に保たれてそのコレクタ・エミッタ間が開くので、出力トランジスタ17のベースには抵抗12を通して基準電位 V_s の電圧が印加され、出力トランジスタ17がオンになる。このとき、抵抗12及び出力トランジスタ17のベースには、

$$I_B = (V_s - [V_{BE}]_{sat}) / R_1 \quad \cdots(1)$$

のベース電流が流れる（ $[V_{BE}]_{sat}$ は出力トランジスタ17の飽和状態におけるベース・エミッタ間電圧）。従って、出力トランジスタ17のコレクタ・エミッタ間に接続されている負荷回路（図示せず）がオンになり、負荷回路に電流が流れる。

【0005】ここで負荷回路に必要な電流の大きさを I_r 、出力トランジスタ17の増幅率を h_{FE} (>1)とすると、オン時の出力トランジスタ17には I_r/h_{FE} よりも大きなベース電流 I_B を流す必要があり、抵抗値 R_1 が大きくなるとベース電流 I_B は小さくなるので、抵抗値 R_1 には上限がある。すなわち、 $I_B > (I_r/h_{FE})$ と上記(1)式とから、抵抗値 R_1 は、

$$\{(V_s - [V_{BE}]_{sat}) h_{FE} / I_r\} > R_1 \quad \cdots(2)$$

の条件を満たす必要がある。

【0006】また、主回路から入力端子13にハイの信号（例えば、基準電位 V_s 程度の信号）が入力されると、ベース・エミッタ間に電流が流れて入力側トランジスタ15がオンになる。入力側トランジスタ15がオンになると、出力トランジスタ17のベース電圧が入力側トランジスタ15の飽和領域におけるコレクタ・エミッタ間電圧（飽和電圧） $V_{sat} = [V_{CE}]_{sat}$ に低下するので、出力トランジスタ17はオフとなり、負荷回路がオフになる。

【0007】しかしながら、このような構成の出力回路1では、出力トランジスタ17がオフになっている時にも、入力側トランジスタ15のコレクタ・エミッタ間を通して抵抗12に電流

$$(V_s - V_{sat}) / R_1 \quad \cdots(3)$$

が流れる。そして、上記のように負荷回路電流との関係で抵抗値 R_1 には上限があって抵抗12の値を任意に大きくすることができないので、負荷回路（出力トランジスタ17）のオフ時における抵抗12での消費電流

$$I_{OFF} = (V_s - V_{sat}) / R_1 \quad \cdots(4)$$

を小さくできないという問題があった。特に、充電用バッテリーで駆動するような機器に用いる場合には、オフ時における消費電流（消費電力）が大きいと携帯用機器の使用時間が短くなり、致命的な欠点となる。

【0008】（第2の従来例）図2に示すものはバイポーラ型集積回路に用いられている出力回路の第2の従来例を示す具体的な等価回路図である。この出力回路2は、図1の出力回路1における抵抗12に代えて定電流源18を用いたものである。この出力回路2は、抵抗1

2が定電流源18に置き換わっただけであって、図1の出力回路1と同様に動作するので、動作説明は省略する。

【0009】しかし、この出力回路2でも、出力トランジスタ17がオフ時には定電流源18により入力側トランジスタ15のコレクタ・エミッタ間に電流 I_0 が流れる。この定電流源18により供給される電流 I_0 も I_r/h_{FE} より大きな値を必要とするので、図1の出力回路1と同じく、負荷回路（出力トランジスタ17）のオフ時における消費電流が大きいという問題があった。

【0010】（第3の従来例）このような出力オフ時における消費電流が大きいという欠点を解決するようにした出力回路の従来例を図3に示す。この出力回路3にあっては、①基準電位 V_s の基準線11に一端を接続された抵抗19（抵抗値を R_2 で表わす）、②同じく基準線11に一端を接続された電流調整用の抵抗20（抵抗値を R_3 で表わす）、③グラウンド線14に一端を接続された抵抗21（抵抗値を R_4 で表わす）、④入力端子13をベースに接続され、抵抗19の他端とグラウンド線14にそれぞれコレクタとエミッタを接続されたn p n入力トランジスタ15、⑤抵抗19と入力側トランジスタ15のコレクタとの接続点にベースを接続され、基準線11側の抵抗20とグラウンド線14側の抵抗21との間にコレクタとエミッタを接続された中段のn p nトランジスタ22、⑥抵抗21とトランジスタ22のエミッタとの接続点にベースを接続され、エミッタをグラウンド線14に接続され、コレクタを出力端子16に接続されたn p n出力トランジスタ17、から構成されている。

【0011】しかして、主回路から入力端子13にローの信号を入力すると、入力側トランジスタ15はオフ状態に保たれるので、中段のトランジスタ22のベースに基準電位 V_s の電圧が印加されてトランジスタ22がオンになり、抵抗20、トランジスタ22のコレクタ・エミッタ間、抵抗21及び出力トランジスタ17のベース・エミッタ間に電流が流れる。従って、出力トランジスタ17がオンになり、出力トランジスタ17のコレクタ・エミッタ間に接続されている負荷回路がオンになる。

【0012】また、入力端子13にハイの信号を入力すると、入力側トランジスタ15がオンになる。入力側トランジスタ15がオンになると、入力側トランジスタ15のコレクタ・エミッタ間電圧（＝トランジスタ22のベース電圧）が飽和電圧 V_{sat} まで下がるので、トランジスタ22がオフとなり、さらに出力トランジスタ17もオフとなる。

【0013】このような構成の出力回路3では、出力トランジスタ17のオン時に、抵抗19に流れる電流

$$I_2 = (V_s - 2[V_{BE}]_{sat}) / R_2 \quad \dots(5)$$

の負荷回路電流 I_r への寄与は $I_2 \cdot h_{FE}^2$ となり、抵抗20に流れる電流

$$I_3 = (V_s - V_{sat} - [V_{BE}]_{sat}) / R_3 \quad \dots(6)$$

の負荷回路電流 I_r への寄与は $I_3 \cdot h_{FE}$ となる。従って、抵抗19の抵抗値 R_2 を大きくして抵抗19に流れる電流 I_2 の寄与を無視できる程度に小さくしても、抵抗20の値 R_3 を十分に小さくすることによって電流 I_3 を大きくし、必要な大きさの負荷回路電流 I_r を得ることができる。一方、出力トランジスタ17のオフ時には抵抗20には電流が流れず、入力側トランジスタ15を通して抵抗19にのみ電流が流れるので、抵抗19の値 R_2 を大きくすることにより、出力トランジスタ17のオフ時における抵抗19及び抵抗20での総消費電流

$$I_{OFF} = (V_s - V_{sat}) / R_2 \quad \dots(7)$$

も小さくすることができる。

【0014】しかしながら、このような出力回路3にあってはスイッチング動作速度が遅くなるという問題がある。つまり、中段のトランジスタ22はオン動作時には飽和領域において駆動されているので、ベース領域にキャリア（特に、電子）が蓄積される（キャリア蓄積効果と呼ばれる）。このため、入力側トランジスタ15がオフからオンに切り換わってもトランジスタ22に蓄積されていたキャリアがほぼ完全に放電し終えるまで出力トランジスタ22がオフにならず、出力トランジスタ17の動作が入力側トランジスタ15よりも遅延し、出力トランジスタ17のオンからオフへのスイッチング動作速度が遅くなるという問題があった。

【0015】（第4の従来例）また、出力オフ時における消費電流を低減した別な従来例を図4に示す。この出力回路4は2つのp n pトランジスタ24、25からなるカレントミラー回路23を用いたものであって、①2つのp n pトランジスタ24、25のベース同士を接続し、それぞれのエミッタを基準電位 V_s の基準線11に接続し、一方のトランジスタ24のベースとコレクタを直結したカレントミラー回路23、②入力端子13をベースに接続され、エミッタをグラウンド線14に接続されたn p n入力側トランジスタ15、③カレントミラー回路23の一方のトランジスタ24のコレクタと入力側トランジスタ15のコレクタとの間に接続された抵抗26、④カレントミラー回路23を構成する他方のトランジスタ25のコレクタとグラウンド線14の間に接続された抵抗27、⑤トランジスタ25のコレクタと抵抗27との接続点にベースを接続され、エミッタをグラウンド線14に接続され、コレクタを出力端子16に接続されたn p n出力トランジスタ17、から構成されている。

【0016】この出力回路4にあっては、入力端子13にハイの信号を入力して入力側トランジスタ15をオンにすると、カレントミラー回路23の両トランジスタ24、25がオンになって、両抵抗26、27に電流が流れ、出力トランジスタ17のベース電圧が $(V_s - V_{sat})$ となるので、出力トランジスタ17がオンになる。

【0017】一方、入力端子13にローの信号を入力して入力側トランジスタ15をオフにすると、カレントミ

10

20

30

40

50

ラー回路23の両トランジスタ24、25もオフになるので、出力トランジスタ17もオフになる。このとき両抵抗26、27には電流が流れないので、出力オフ時における消費電流 I_{OFF} を非常に小さくすることができる。

【0018】しかしながら、バイポーラ型集積回路内に作製されるpnpトランジスタ（カレントミラー回路23内のトランジスタ24、25）は、その構造（ラテラル構造）上npnトランジスタに比較して動作速度が遅く、このため出力回路4にあっては出力トランジスタ17のオン、オフ動作速度が遅いという問題があった。

【0019】

【発明が解決しようとする課題】以上説明したように、従来の半導体出力回路にあっては、出力オフ時における消費電流が大きいという問題か、動作速度が遅いという問題か、いずれかの問題を有していた。

【0020】本発明は叙上の従来例の欠点に鑑みてなされたものであり、その目的とするところは、出力トランジスタのオン→オフ、オフ→オン動作の切り換え速度が高速で、しかも出力オフ時における消費電流（消費電力）が小さいバイポーラ型集積回路における半導体出力回路を提供することにある。

【0021】

【課題を解決するための手段】本発明の半導体出力回路は、高電位線に一端を接続された第1の抵抗と、入力端子をベースに接続され、前記第1の抵抗の他端と低電位線との間にコレクタ・エミッタ間を接続された第1のnpnトランジスタと、高電位線に一端を接続された第2の抵抗と、ベースを前記第1のトランジスタのベースに接続され、エミッタを低電位線に接続された第2のnpnトランジスタと、前記第1の抵抗の他端と前記第1のトランジスタのコレクタとの接続点にベースを接続され、前記第2の抵抗の他端と前記第2のトランジスタのコレクタとの間にコレクタ・エミッタ間を接続された第3のnpnトランジスタと、第2のトランジスタのコレクタと第3のトランジスタのエミッタとの接続点にベースを接続され、エミッタを低電位線に接続され、コレクタを出力端子に接続されたnpn出力トランジスタと、から構成されている。

【0022】また、この半導体出力回路においては、出力トランジスタのオン時には、前記第1のトランジスタをオフさせると共に前記第3のトランジスタを飽和領域で駆動し、出力トランジスタのオフ時には、前記第1のトランジスタ及び第3のトランジスタを非飽和領域で駆動するのが望ましい。

【0023】

【作用】本発明の半導体出力回路にあっては、入力端子にローの信号が入力された場合には、第1のトランジスタ及び第2のトランジスタがオフになるので、第3のトランジスタ及び出力トランジスタがオンになり、出力ト

ランジスタに負荷回路が接続されていると、負荷回路が開じられる。

【0024】また、入力端子にハイの信号が入力された場合には、第1のトランジスタ及び第2のトランジスタがオンになる。このとき第1のトランジスタが非飽和状態でオンとなり、第2のトランジスタが飽和状態でオンとなるように設定し、それにより第3のトランジスタも非飽和状態でオン状態に保たれるように設定することができる。このとき出力トランジスタのベース電圧は第2のトランジスタの飽和電圧となるので、オフになる。従って、出力トランジスタに負荷回路が接続されていると、負荷回路が開かれる。

【0025】ここで、出力トランジスタのオン時に負荷回路に流れる電流は、第1の抵抗に流れる電流（ $\times h_{FE}$ ）からの寄与と第2の抵抗に流れる電流（ $\times h_{FE}$ ）からの寄与とで決まる。従って、第1の抵抗の値を大きくして第1の抵抗に流れる電流からの寄与を小さくしても、第2の抵抗の値を小さくして第2の抵抗に流れる電流からの寄与を十分に大きくすることにより、負荷回路に必要なレベルの電流を流すことができる。こうして、第1の抵抗として十分に抵抗値の大きなものを用い、第2の抵抗として必要な程度に抵抗値の小さなものを用いると、出力トランジスタのオフ時に第1の抵抗と第2の抵抗とともに電流は流れるが、全体としての消費電流を小さくすることができる。すなわち、第1の抵抗の値を大きくすることができるので、第1の抵抗による消費電流が非常に小さくなる。また、第1及び第3のトランジスタを非飽和状態で駆動すると、第2の抵抗に流れる電流は第1の抵抗に流れる電流よりも小さくなる。この結果、出力オフ時における消費電流を、第1の従来例や第2の従来例と比較して小さくすることができる。

【0026】また、本発明によれば、出力トランジスタのベースに第2のトランジスタを接続しているので、出力オフ時には第2のトランジスタをオンさせることによって出力トランジスタを速やかにオフさせることができ、出力トランジスタのオン→オフ切り換え速度を速くすることができる。すなわち、第3のトランジスタのキャリア蓄積効果によって出力トランジスタのオン→オフ切り換え速度が遅くなるのを防止することができる。

【0027】さらに、出力トランジスタのオフ時に第1のトランジスタが非飽和状態でオンし、第3のトランジスタが出力オン、オフ時にそれぞれ飽和状態、非飽和状態でオン状態に保たれるようにすれば、出力がオフからオンに切り換わる際に、第1のトランジスタのオフ速度が速くなると共に、第1のトランジスタと第2のトランジスタのオフ動作が並行して同時に実行される。この結果、出力トランジスタを速やかにオンさせることができ、出力トランジスタのオフ→オン切り換え速度も速くすることができる。

【0028】また、本発明の半導体出力回路はnpnト

ランジスタのみで構成されているので、バイポーラ型集積回路内に製作する場合でも、動作速度が低下することがなく、スイッチング速度を高速化することができる。

【0029】

【実施例】図5に本発明の一実施例を示す。本発明に係る半導体出力回路31は、シリコンウエハ等の半導体基板内に半導体製造プロセスを用いて製作されるバイポーラ型集積回路の出力回路であって、図5は当該半導体出力回路31の具体的な等価回路を示している。

【0030】（構成）この半導体出力回路31は、2つの抵抗32、33（それぞれ抵抗値を R_6 、 R_7 とする）と4つのバイポーラ型のnpnトランジスタ34、35、36、37とから構成されている。入力側トランジスタ34は、ベースを入力端子38に接続され、エミッタを低電位（グラウンド電位 V_g ）のグラウンド線39に接続され、コレクタを抵抗32に接続されている。一端を入力側トランジスタ34のコレクタに接続された抵抗32は、他端を高電位（基準電位 V_s ）の基準線40に接続されている。トランジスタ35のベースは入力側トランジスタ34のベース（又は、入力端子38）に接続され、トランジスタ36のベースは入力側トランジスタ34のコレクタと抵抗32との接続点に接続されている。両トランジスタ35、36は、トランジスタ35のコレクタとトランジスタ36のエミッタを接続されており、トランジスタ35のエミッタはグラウンド線39に接続され、トランジスタ36のコレクタは抵抗33に接続されている。また、トランジスタ36のコレクタに接続された抵抗33の他端は基準線40に接続されている。出力トランジスタ37は、ベースをトランジスタ35の*

コレクタ・エミッタ間電圧 $V_{CE} = V_{sat}$

コレクタ電流 $I_C = I_{C2}$ …(8)

となるように設計されている。入力側トランジスタ34は、入力ハイ（出力オフ）時には非飽和領域（例えばQ※

コレクタ・エミッタ間電圧 $V_{CE} = V_{sat} + [V_{BE}]_{nonsat}$

コレクタ電流 $I_C = I_{C1}$ …(9)

となるように設計されている。ここで、 $V_{sat} = [V_{CE}]_{sat}$ はトランジスタ35のオン時の飽和電圧、 $[V_{BE}]_{nonsat}$ はトランジスタ36の非飽和領域におけるベース・エミッタ間電圧である。また、コレクタ電流については、 $I_{C1} > I_{C2}$ …(10)

である。この結果、入力ハイ（出力オフ）時には、トランジスタ36のベース・エミッタ間には $[V_{CE}]_{nonsat}$ の電圧が掛かり、トランジスタ36は出力オフ時にもオフになることなく、非飽和でオン状態に保たれる。

【0033】（出力オン時の動作）この出力回路31にあっては、入力端子38にローの信号が入力されると、入力側トランジスタ34及びトランジスタ35が共にオフになり、抵抗32を通じてトランジスタ36のベースに基準電位 V_s が加わる。この結果、トランジスタ36のベース・エミッタ間から出力トランジスタ37のベー

*コレクタとトランジスタ36のエミッタとの接続点に接続され、エミッタをグラウンド線39に接続され、コレクタ（オープンコレクタ）を出力端子41に接続されている。なお、入力端子38は集積回路内で信号処理回路等の主回路につながっており、出力端子41には外部の負荷回路が接続される。

【0031】ここで、トランジスタ35は、入力端子38に入力される信号のハイ、ローによりオン（飽和領域）、オフのスイッチング動作をするように設計されている。これに対し、入力側トランジスタ34は、入力端子38に入力される信号のハイ、ローによりオン（非飽和領域）、オフの動作をするように設計されている。また、トランジスタ36は、入力端子38に入力される信号のハイ、ローにより、それぞれ非飽和領域、飽和領域でオン動作するように設計されている。出力トランジスタ37は、入力端子38に入力される信号のハイ、ローによりオフ、オン（飽和領域）のスイッチング動作をするように設計されている。

【0032】出力オフ時の状態を詳しく説明すると、以下の通りである。図6はベース電流 I_B が一定の場合のコレクタ・エミッタ間電圧 V_{CE} －コレクタ電流 I_C の関係を示す曲線である。入力側トランジスタ34及びトランジスタ35は、いずれもベースを入力端子38に接続されているのでベース電圧が等しく、したがって図6に示すような同一ベース電流（ $I_B = \text{const.}$ ）の V_{CE} － I_C 曲線上で動作する。トランジスタ35は、入力ハイ（出力オフ）時には飽和領域（例えばQ2点）でオン動作し、

※1点）でオン動作し、

ス・エミッタ間へベース電流が流れてトランジスタ36と出力トランジスタ37がオンになる。さらに、トランジスタ36がオンになると、抵抗33を通じて出力トランジスタ37に大きなベース電流が流れ、出力端子41に接続された負荷回路が閉じて大きな負荷回路電流 I_r が流れる。

【0034】この時トランジスタ36は飽和領域でオン動作しているから、抵抗33に流れる電流 I_r は、

$I_r = (V_s - V_{sat} - [V_{BE}]_{sat}) / R_7$

となる。ここで、 V_{sat} はトランジスタ36の飽和電圧、 $[V_{BE}]_{sat}$ は飽和領域でオン動作している出力トランジスタ37のベース・エミッタ間電圧である。負荷回路に必要な電流を I_r とし、出力トランジスタ37の増幅率を h_{FE} とすれば、出力トランジスタ37のベース電流 I_B としては、 I_r / h_{FE} 以上の電流が必要となるの

で、抵抗33としては、 $I_7 > (I_r/h_{FE})$ より

$$\{(V_s - V_{sat} - [V_{BE}]_{sat}) h_{FE} / I_r\} > R_7 \quad \cdots(11)$$

となるように小さな抵抗値 R_7 のものをいれればよい。
一方、抵抗32の抵抗値 R_6 は、出力オン時にトランジスタ36が出力トランジスタ37にベース電流 I_B を流せるように設定されていれればよい。この条件は、トランジスタ36及び出力トランジスタ37の増幅率がいずれ*

$$\{(V_s - 2[V_{BE}]_{sat}) h_{FE}^2 / I_r\} > R_6 \quad \cdots(12)$$

を満たしていればよい。ここに $[V_{BE}]_{sat}$ は、トランジスタ36及び出力トランジスタ37の飽和動作時のベース・エミッタ間電圧である。従って、(11)及び(12)式を比較すると、抵抗32の値 R_6 は、抵抗33の値 R_7 や図1の従来の出力回路1の抵抗12の値 R_1 と比較して約 h_{FE} 倍（例えば $h_{FE} \approx 100$ ）の値を用いることができる。

【0035】（出力オフ時の動作）また、入力端子38にハイの信号が印加されると、入力側トランジスタ34及びトランジスタ35がオンになる。ここで、入力側トランジスタ34は(9)式で示したように非飽和領域（図6のQ1点）でオン動作し、トランジスタ35は(8)式で示したように飽和領域（図6のQ2点）でオン動作するので、トランジスタ36のベースにも $[V_{BE}]_{nonsat}$ の電圧が加わった状態になり、トランジスタ36はオフ動作することなく、非飽和領域でオン状態に保たれる。一方、トランジスタ35がオンすることによって出力トランジスタ37のベース電圧が V_{sat} まで下がるので、トランジスタ36がオン動作していても出力トランジスタ37はオフとなり、出力トランジスタ37に接続されている負荷回路は開かれる。

【0036】この出力オフの状態においては、入力側トランジスタ34及びトランジスタ35、36がオンになっているので、抵抗32及び33のいずれにも電流が流れているが、両抵抗32、33の総消費電流は従来例の出力回路1や出力回路2の消費電流に比較して約 $2/h_{FE}$

$$R_1 = (V_s - [V_{BE}]_{sat}) / I_B = (5 - 0.7) / 1 = 4.3 \text{ [k}\Omega\text{]}$$

必要となる。このとき入力側トランジスタ15がオンして出力オフになると、入力側トランジスタ15のコレクタ電圧は飽和電圧 V_{sat} となるので、消費電流は、

$$I_{OFF} = (V_s - V_{sat}) / R_1 = (5 - 0.1) / 4.3 = 1.14 \text{ [mA]}$$

となる。つぎに、図2の従来の出力回路2を考えると、★

$$\begin{aligned} R_7 &= (V_s - V_{sat} - [V_{BE}]_{sat}) h_{FE} / I_r \\ &= (5 - 0.1 - 0.7) \times 100 / 100 = 4.2 \text{ [k}\Omega\text{]} \end{aligned}$$

となる。つぎに、(12)式を参照すると、

$$\begin{aligned} R_6 &= (V_s - 2[V_{BE}]_{sat}) h_{FE}^2 / I_r \\ &= (5 - 2 \times 0.7) \times 100^2 / 100 = 360 \text{ [k}\Omega\text{]} \end{aligned}$$

となる。出力オフ時には、トランジスタ36のベース・エミッタ間電圧 $[V_{BE}]_{nonsat} = 0.7 \text{ V}$ とすると、抵抗

$$\begin{aligned} I_6 &= (V_s - V_{sat} - [V_{BE}]_{nonsat}) / R_6 \\ &= (5 - 0.1 - 0.7) / 360 = 0.012 \text{ [mA]} \end{aligned}$$

*も h_{FE} であるとする、抵抗32に流れる電流 I_6 が、 $I_6 > (I_r/h_{FE}^2)$ であればよいから、 $I_6 = \{(V_s - 2[V_{BE}]_{sat}) / R_6\} > I_r/h_{FE}^2$ となり、抵抗値 R_6 は条件

※ h_{FE} 程度となる。つまり、抵抗32の抵抗値 R_6 は従来回路に比較して h_{FE} 程度にできる（(12)式参照）ので、抵抗32における消費電流は $1/h_{FE}$ 程度となる。また、トランジスタ35に流れる電流 I_{C2} は入力側トランジスタ34に流れる電流 I_{C1} よりも小さい（(10)式参照）から、抵抗33に流れる消費電流を抵抗32に流れる消費電流と同程度であると見積もると、抵抗32、33による出力オフ時の消費電流はせいぜい従来回路の約 $2/h_{FE}$ 程度となり、 $h_{FE} = 100$ とすれば従来回路の $1/50$ 程度の消費電流となる。

【0037】（本発明の出力回路と従来の出力回路における消費電流の比較）従来の出力回路1（図1）や出力回路2（図2）における消費電流と、本発明の出力回路31の消費電流とを比較する。負荷回路で必要な電流の値を $I_r = 100 \text{ mA}$ とし、各トランジスタの増幅率をいずれも $h_{FE} = 100$ であるとし、基準電位 $V_s = 5 \text{ V}$ とする。また、飽和状態では、各トランジスタの飽和電圧 $V_{sat} = 0.1 \text{ V}$ 、 $[V_{BE}]_{sat} = 0.7 \text{ V}$ であるとする。まず、図1の従来の出力回路1を考える。オン時の出力トランジスタ17に $I_r = 100 \text{ mA}$ の電流を流すためには、出力トランジスタ17のベース電流は、 $I_B = I_r/h_{FE} = 100/100 = 1 \text{ [mA]}$ 必要となる。このとき出力トランジスタ17のベース電圧 $[V_{BE}]_{sat}$ は 0.7 V であるから、 1 mA のベース電流 I_B を流すためには、抵抗値が

★出力トランジスタ17に 1 mA のベース電流を流すためには、 1 mA の定電流源18を用いる必要がある。従って、消費電流も 1 mA となる。つぎに、本発明の出力回路31を考える。オン時の出力トランジスタ37に $I_r = 100 \text{ mA}$ の電流を流すためには、(11)式を参照すると、

32における消費電流 I_6 は、

となる。また、出力トランジスタ34に流れる電流 $I_{c1} \approx I_6$ とトランジスタ35に流れる電流 $I_{c2} \approx I_7$ とは、*

$$I_7 = (1/10) I_6 = 0.1 \times 0.012 = 0.001 \text{ [mA]}$$

となる。よって、全体としての消費電流は、

$$I_6 + I_7 = 0.013 \text{ [mA]}$$

となる。従って、本発明の出力回路31によれば、従来回路に比較して消費電流が非常に小さくなることが分かる。

【0038】つぎに、出力回路31における出力オン→オフ時における切り換え動作速度を考える。入力端子38の入力信号がローでトランジスタ36がオンしている場合には、トランジスタ36は飽和しており、従来の出力回路3のトランジスタ22と同様、オン時のトランジスタ36にはキャリアが蓄積されている。しかし、入力端子38の入力信号がハイに切り換わると、トランジスタ35が速やかに飽和してオンになり、出力トランジスタ37のベース電圧を V_{sat} まで下げるので、トランジスタ36にキャリアが蓄積されているか否かに関係なく、速やかに出力トランジスタ37がオフに切り換えられる。従って、従来の出力回路3(図3)と比較して、出力オン→オフ時の切り換え速度を速くすることができる。

【0039】また、出力回路31における出力オフ→オン時における切り換え動作速度を説明する。従来の出力回路3(図3)では、出力オフ時において入力側トランジスタ15は完全に飽和してオンとなっているので、入力信号がハイからローに切り換わると、入力側トランジスタ15が飽和状態からオフに切り換わり、その後トランジスタ22がオフからオンに飽和してオンになる。このため、入力側トランジスタ15が飽和状態からオフするまでに時間が掛かり、さらに入力側トランジスタ15とトランジスタ22の順次動作のためにトランジスタ22がオンになるまでに時間がかかり、結果的に出力トランジスタ17がオンに切り換わる速度が遅くなる。これに対し、本発明による出力回路31では、出力オフ時においてトランジスタ34は非飽和状態でオンになっているので、入力端子38の入力信号がハイからローに切り換わったとき、入力側トランジスタ34がオフに切り換わる時間が短くなる。また、トランジスタ36は出力オン時も出力オフ時もオン状態に保たれているので、入力信号がハイからローに切り換わると、入力側トランジスタ34がオフに切り換わる動作と、トランジスタ35が飽和状態からオフに切り換わる動作とが並行して同時に実行される。この結果、本発明の出力回路31によれば、出力オフ→オンに切り換わる速度も従来回路に比較して短くできる。

【0040】また、トランジスタ34、35、36、37は全てnpnトランジスタを用いているので、従来の出力回路4(図4)のようにpnpトランジスタを用いていることが原因となって切り換え速度が遅くなること

*トランジスタ35が飽和していることから、 $I_{c2} = (1/10) I_{c1}$ とすると、

もない。

【0041】(応用例) 本発明の出力回路は、例えば出力回路からオン、オフ信号を出力すると共に出力回路の前段の回路にヒステリシスを掛けなければならないような場合において、出力回路から出力するよりも先に必ずヒステリシスの方を掛けなければならない、しかも、出力回路側に応答速度が要求されるような状況で使用するのに適している。

【0042】具体的にいうと、図7に示すようなヒステリシス動作するA/D変換回路に用いることにより良好な結果を得ることができる。図7のA/D変換回路においては、コンパレータ51の非反転入力端子にアナログ入力信号S1が入力され、反転入力端子には基準電圧発生回路52から基準電圧 V_0 が与えられている。コンパレータ51の出力端子からは入力信号S1と基準電圧 V_0 の大小に応じてハイ(H)又はロー(L)の比較信号S2が出力される。コンパレータ51の比較出力は、出力端子に接続されたヒステリシス回路53を介して基準電圧発生回路52へ帰還されている。しかし、基準電圧発生回路52から出力される基準電圧 V_0 は、ヒステリシス回路53の働きにより、コンパレータ51から出力される比較信号S2のハイ、ローに応じて V_{0+} 又は V_{0-} ($V_{0+} \neq V_{0-}$) に変化し、コンパレータ51の出力にヒステリシスが掛けられる。また、コンパレータ51の出力端子に接続された出力回路54は、比較信号S2のハイ又はローに応じて出力側がオフ又はオンに切り換わる。

【0043】このような回路構成の場合、図8に示すように、コンパレータ51から出力された比較信号S2(図8(a))がヒステリシス回路53及び基準電圧発生回路52を通して帰還され基準電圧 V_0 (図8(b))を変化させる速度よりも、出力回路54の出力信号S3(図8(c))として表われる速度のほうが遅くなるようにする必要がある。このため、出力回路54の入力側と出力側との間に遅延を持たせているが、従来の出力回路54では、この遅延時間 ΔT がかなり大きくなり、入力信号S1が出力回路54の出力信号S3として表われる応答速度が遅くなるという問題があった。一方、出力回路54における遅延をなくすと、出力信号S2が帰還するよりも出力回路54から出力される方が速くなり、所望の回路動作が得られなくなるという不都合がある。

【0044】これに対し、この出力回路54として本発明による半導体出力回路31を用いれば、オン、オフ時の応答速度を速くすることができるので、出力回路44における遅延時間 ΔT を適当な時間に調整することにより、出力回路44における遅延時間をヒステリシス側よ

13

りも遅い範囲でできるだけ短くすることが可能になる。なお、このようにして調整した遅延時間 ΔT は、出力回路44（出力トランジスタ）のオフ時には図1の出力回路1よりも遅くなり、出力回路44（出力トランジスタ）のオン時には図1の出力回路1よりも速くなるように設定される。

【0045】

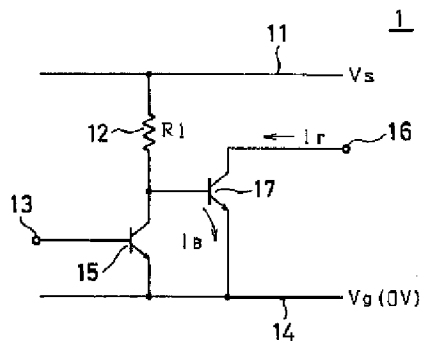
【発明の効果】本発明によれば、以上説明したように、第1の従来例や第2の従来例のように出力オフ時ににおいて消費電流が大きくなるという問題もなく、また、第3の従来例や第4の従来例のように出力のオン、オフ切り換え動作時の切り換え速度が遅くなるという問題も解消される。すなわち、本発明によれば、出力トランジスタのオン→オフ動作およびオフ→オン動作の切り換え速度が高速で、しかも出力オフ時における消費電流（消費電力）が小さいバイポーラ型集積回路における半導体出力回路を提供することができる。

【図面の簡単な説明】

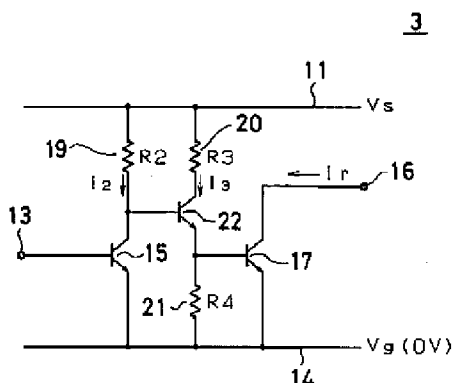
【図1】半導体出力回路の第1の従来例を示す具体的な等価回路図である。

【図2】半導体出力回路の第2の従来例を示す具体的な等価回路図である。

【図1】



【図3】



14

【図3】半導体出力回路の第3の従来例を示す具体的な等価回路図である。

【図4】半導体出力回路の第4の従来例を示す具体的な等価回路図である。

【図5】本発明の一実施例による半導体出力回路を示す具体的な等価回路図である。

【図6】同上の半導体出力回路の動作を説明するための図である。

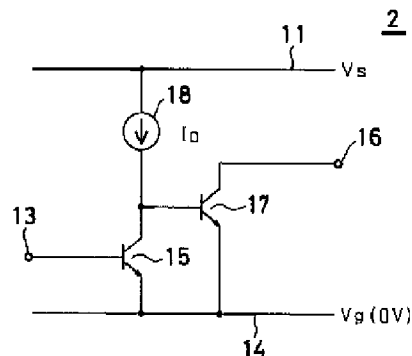
【図7】本発明による半導体出力回路の応用回路を示す図である。

【図8】上記応用回路の説明図である。

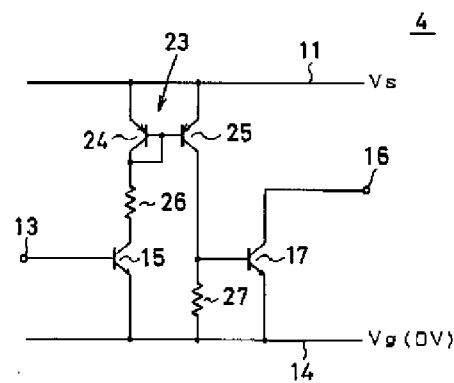
【符号の説明】

- 32 (第1の) 抵抗
- 33 (第2の) 抵抗
- 34 入力側トランジスタ (第1のトランジスタ)
- 35 (第2の) トランジスタ
- 36 (第3の) トランジスタ
- 37 出力トランジスタ
- 38 入力端子
- 39 グランド線 (低電位線)
- 40 基準線 (高電位線)
- 41 出力端子

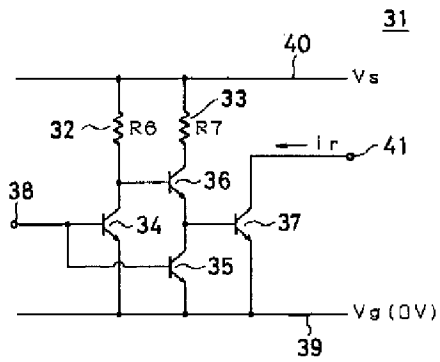
【図2】



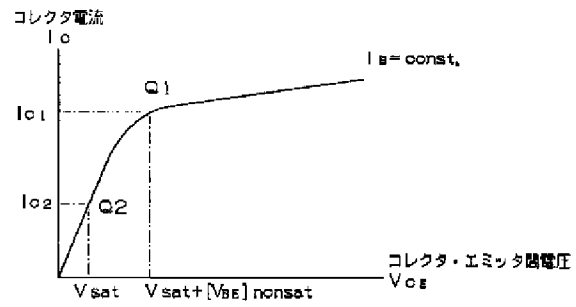
【図4】



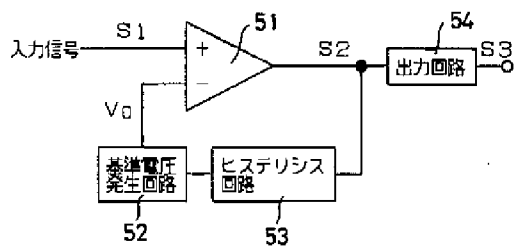
【図5】



【図6】



【図7】



【図8】

